



PATENT
8947-000074/US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Young-Doug KIM, et al. Conf. No.: 5936
Filing Date: December 17, 2003 Examiner: Unknown
Application No.: 10/737,124 Group Art Unit: 2181
Title: AN ARBITER, A SYSTEM AND A METHOD FOR GENERATING
A PSEUDO-GRANT SIGNAL

PRIORITY LETTER

MAIL STOP PATENT APPLICATION

May 11, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

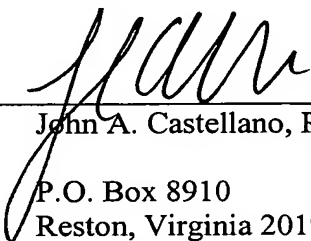
Pursuant to the provisions of 35 U.S.C. 119, enclosed is a certified copy of the following priority document.

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0033048	May 23, 2003	Republic of Korea

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC/tsh

Enclosure: Certified Copy of Korean Priority Document.



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0033048
Application Number

출원년월일 : 2003년 05월 23일
Date of Application MAY 23, 2003

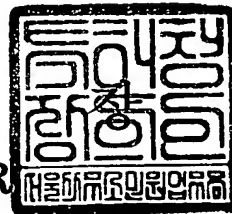
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 12 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.23
【발명의 명칭】	고속 대역폭의 시스템 버스를 중재하기 위한 버스 시스템 및 그 의 방법
【발명의 영문명칭】	BUS SYSTEM AND METHOD FOR ARBITRATING HIGH-PERFORMANCE BANDWIDTH SYSTEM BUS WITH MULTI-MASTER
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김영덕
【성명의 영문표기】	KIM, YOUNG-DOUG
【주민등록번호】	730207-1149425
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 958-2 웨미리타워 1011호
【국적】	KR
【발명자】	
【성명의 국문표기】	임경묵
【성명의 영문표기】	LIM, KYOUNG-MOOK
【주민등록번호】	660502-1001515
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 519동 1102호
【국적】	KR



1020030033048

출력 일자: 2003/12/16

【발명자】

【성명의 국문표기】 성낙희
 【성명의 영문표기】 SEONG, NAK-HEE
 【주민등록번호】 730305-1405913
 【우편번호】 427-050
 【주소】 경기도 과천시 부림동 주공아파트 804동 1001호
 【국적】 KR

【발명자】

【성명의 국문표기】 정세웅
 【성명의 영문표기】 JEONG, SEH-WOONG
 【주민등록번호】 621010-1068939
 【우편번호】 137-040
 【주소】 서울특별시 서초구 반포동 궁전아파트 1동 206호
 【국적】 KR

【발명자】

【성명의 국문표기】 박재홍
 【성명의 영문표기】 PARK, JAE-HONG
 【주민등록번호】 650108-1117212
 【우편번호】 463-010
 【주소】 경기도 성남시 분당구 정자동 197 정든마을 우성아파트 401동 202호
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	15 면	15,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	13 항	525,000 원
【합계】		569,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 슬레이브 액세스 대역폭을 향상시키기 위한 버스 시스템 및 그 제어 방법에 관한 것이다. 본 발명의 버스 시스템은 시스템 버스, 다수의 버스 마스터, 다수의 슬레이브 및 중재기를 포함한다. 버스 시스템은 적어도 하나의 버스 마스터로부터 버스 사용을 위한 요청이 있으면, 요청한 모든 버스 마스터들에게 버스 사용을 승인한다. 승인을 받은 버스 마스터들은 구동 정보를 출력하고, 중재기는 구동 정보와 슬레이브의 상태 정보를 이용하여 하나의 버스 마스터를 선정하여 해당 슬레이브로 액세스 요구를 보내서 상기 슬레이브가 데이터를 처리하기 위한 준비 작업을 시작하도록 한다. 상기 슬레이브가 데이터 처리를 위한 준비 작업을 끝냈을 때, 상기 버스 마스터가 실제 버스 소유권을 가지면 해당 슬레이브 간에 데이터 전송이 이루어지도록 중재한다. 본 발명에 의하면, 버스 사용을 요청한 모든 버스 마스터로 하여금 버스 사용권을 얻은 것처럼 동작시켜 필요한 구동 정보를 획득함으로써, 최적화된 데이터 액세스가 되도록 중재하여 슬레이브 액세스 대역폭을 향상시킨다.

【대표도】

도 2

【색인어】

버스 시스템, 중재기, 버스 마스터, 슬레이브, SDRAM, 뱅크 인터리빙

【명세서】

【발명의 명칭】

고속 대역폭의 시스템 버스를 중재하기 위한 버스 시스템 및 그의 방법{BUS SYSTEM AND METHOD FOR ARBITRATING HIGH-PERFORMANCE BANDWIDTH SYSTEM BUS WITH MULTI-MASTER}

【도면의 간단한 설명】

도 1은 본 발명에 따른 버스 시스템의 개략적인 구성을 도시한 블록도;

도 2는 본 발명의 실시예에 따른 싱크로너스 디램을 구비하는 버스 시스템의 상세한 구성을 도시한 블록도;

도 3은 도 2에 도시된 버스 시스템에서의 마스터들과 슬레이브들 간의 데이터 액세스시 중재를 위한 타이밍도;

도 4a 내지 도 4b는 본 발명의 실시예에 따른 싱크로너스 디램 독출시, 뱅크 인터리빙 방식을 사용하지 않는 경우와, 뱅크 인터리빙 방식을 사용하는 경우를 나타내는 타이밍도;

도 5는 본 발명에 따른 버스 시스템의 버스 사용을 중재하기 위한 준비하는 동작과 중재 그리고 해당 슬레이브로 데이터 처리 준비 작업을 요청하는 과정을 나타내는 흐름도;

도 6은 본 발명에 따른 버스 시스템의 데이터 전송을 중재하는 동작 흐름도; 그리고

도 7은 일반적인 버스 시스템과 본 발명에 따른 버스 시스템의 슬레이브 액세스 대역폭을 비교하여 나타내는 타이밍도이다.

* 도면의 주요 부분에 대한 부호 설명 *

100 : 버스 시스템 110 : 버스 마스터

120 : 중재기 122 : 마스터 인터페이스

124 : SDRAM 컨트롤러 인터페이스 130 : SDRAM 컨트롤러

140 : SDRAM 150 : 멀티플렉서

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 버스 시스템(bus system)에 관한 것으로, 좀 더 구체적으로는 다수의 버스 마스터(bus master)와, 다수의 슬레이브(slave)가 연결된 고속의 대역폭(bandwidth)을 갖는 시스템 버스(system bus)에서, 슬레이브의 액세스 대역폭을 향상시키기 위한 버스 시스템 및 그의 데이터 액세스를 위한 제어 방법에 관한 것이다.
- <14> 일반적으로 다수의 버스 마스터와 다수의 슬레이브 및 중재 회로(arbiter)를 구비하는 버스 시스템은 버스 마스터들과 슬레이브들 간의 버스 사용을 위해 고정 우선권(fixed priority) 방식 또는 라운드 로빈(round-robin) 방식 등을 이용하여 버스 마스터들간의 버스 사용을 중재한다. 이 후, 버스 시스템은 선택된 버스 마스터로 버스 소유권(bus ownership)을 갖게 하여 해당 슬레이브를 액세스하는 방식으로 진행된다.
- <15> 이러한 방식은 긴 대기 시간(long latency)을 갖는 슬레이브들 예를 들어, 싱크로너스 디램(SDRAM) 등과 같은 슬레이브에 대한 데이터 액세스의 경우, 효율적으로 시스템 버스를 중재하기가 어렵고, 이를 구현하기 위한 중재 회로의 구성 또한 매우 복잡하다.
- <16> 싱크로너스 디램(SDRAM)은 일반적으로 2 내지 4 개의 뱅크들을 갖는 구조로 이루어진다. 싱크로너스 디램에 대한 데이터 액세스는 일반적으로 뱅크 단위의 데이터를 기입(write) 또는 독출(read)하기 위한 RAS 및 CAS 동작과, 이들 동작 이후, 활성화된 뱅크를 프리차징하는 프리

차지(precharge) 동작이 순차적으로 수행된다. 이 때, 이들 동작 사이에는 일정 크기의 대기 시간(latency)이 최소로 존재하므로 초기 명령이 출력된 후, 실제 데이터 버스를 사용할 때까지는 여러 주기의 액세스 사이클이 소요된다.

<17> 따라서 싱크로너스 디램(SDRAM)의 대역폭을 최적화하기 위한 방법으로 버스 시스템은 뱅크 인터리빙(bank interleaving) 방식이 사용되고 있다. 그러나 이 경우, 버스 마스터들은 적어도 하나의 슬레이브 즉, 싱크로너스 디램을 데이터 액세스하기 위하여 각각 버스 소유권(bus ownership)을 가져야만 하며, 중재 회로는 버스 소유권을 갖은 버스 마스터로부터 유효한 어드레스 정보와 제어 정보를 제공받아 이에 대응하는 슬레이브를 액세스할 수 있도록 중재한다. 즉, 중재 회로는 버스 마스터로부터 출력된 어드레스 정보와 제어 정보를 이용하여 슬레이브 액세스를 구동(drive)하기 때문에, 고속의 대역폭을 갖는 뱅크 인터리빙 방식을 지원하는데는 모든 버스 마스터들로부터 버스 소유권이 획득될 때마다 슬레이브를 액세스하기 위한 구동 정보(예컨대, 어드레스 정보 및 제어 정보 등)를 획득하여 해당 뱅크 액세스를 시작해야 하는 등의 어려움이 따른다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 상술한 문제점을 해결하기 위한 것으로, 고속의 대역폭을 갖는 시스템 버스에서 다수의 마스터와 슬레이브들 간의 액세스 대역폭을 향상시키기 위한 버스 시스템을 제공하는데 있다.

<19> 본 발명의 다른 목적은 상술한 문제점을 해결하기 위한 것으로, 고속의 대역폭을 갖는 시스템 버스에서 다수의 마스터와 슬레이브들 간의 액세스 대역폭을 향상시키기 위하여 버스 시스템의 슬레이브 액세스를 제어하는 방법을 구현하는데 있다.



<20> 또한, 본 발명의 또 다른 목적은 상술한 문제점을 해결하기 위한 것으로, 긴 대기 시간을 갖는 슬레이브의 데이터 액세스 시, 뱅크 인터리빙 방식을 이용하여 액세스 대역폭을 최대화하기 위한 버스 시스템 및 그 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<21> 상술한 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 버스 시스템은, 시스템 버스와, 상기 시스템 버스에 연결되는 다수의 버스 마스터들과, 상기 시스템 버스에 연결되고, 상기 버스 마스터들과 데이터 전송을 수행하는 슬레이브들 및, 상기 버스 마스터들 중 적어도 하나로부터 상기 슬레이브들 중 어느 하나를 액세스하기 위한 버스 사용의 요청이 있으면, 상기 요청한 버스 마스터들 모두에게 버스 사용을 승인하여 상기 요청한 버스 마스터들 모두로부터 상기 슬레이브들과의 데이터 전송을 위한 구동 정보를 출력하도록 하는 중재기를 포함하되, 상기 중재기는 상기 요청한 버스 마스터들로부터 상기 구동 정보가 출력되면, 상기 요청한 버스 마스터들 중 구동 정보와 슬레이브의 상태 정보를 이용하여 중재를 통해 하나의 버스 마스터를 선정하고 해당 슬레이브로 데이터 처리 준비 작업 요구를 보내게 된다. 여기서 상기 구동 정보는 상기 슬레이브들 중 어느 하나를 액세스하기 위한 어드레스 정보, 데이터 및 제어 신호를 포함한다. 상기 슬레이브가 데이터 처리를 위한 준비 작업을 끝냈을 때, 상기 버스 마스터가 버스를 사용할 수 있다면 상기 버스 마스터와 해당 슬레이브 간에 데이터 전송이 이루어지도록 제어한다.

<22> 이 특징의 바람직한 실시예에 있어서, 상기 슬레이브는 긴 대기 시간을 갖는 반도체 디바이스로서, 복수 개의 뱅크를 갖는 싱크로너스 디램과, 상기 중재기의 제어를 받아서 상기 싱크로너스 디램의 데이터 액세스를 제어하는 싱크로너스 디램 컨트롤러를 포함한다. 상기 싱크로너스 디램 컨트롤러는 뱅크 인터리빙 방식에 의해 상기 싱크로너스 디램을 데이터 액세스한

다. 이 때, 상기 중재기는, 상기 싱크로너스 디램들 중 가장 최근에 액세스되었던 싱크로너스 디램의 뱅크에 대해서 최하위 우선권을 부여한다.

<23> 이 특징의 바람직한 실시예에 있어서, 상기 중재기는, 상기 구동 정보가 출력되면, 중재 작업을 통해 해당 슬레이브로 데이터 처리 준비 작업 요구를 보내며 상기 버스 마스터가 버스 소유권을 가질 때 상기 버스 마스터에게 해당 슬레이브로부터 나온 데이터 레디 신호를 출력하고, 동시에 상기 실제 소유권을 갖지 않은 버스 마스터들로 비활성화된 제어 신호를 출력한다. 상기 중재기는, 상기 구동 정보를 받아들여서 상기 슬레이브들 중 데이터 처리 준비 요구를 받은 슬레이브가 데이터 전송 준비가 완료되었는지를 판별하여, 상기 슬레이브들 중 데이터 처리 준비를 끝낸 슬레이브에 요청한 버스 마스터들 중 버스 소유권이 있는 버스 마스터에게 상기 시스템 버스를 사용하도록 한다.

<24> 이 특징의 바람직한 실시예에 있어서, 상기 버스 시스템은 상기 버스 마스터들로부터 출력된 기입 데이터와, 상기 중재기로부터 출력된 상기 버스 마스터들 중 실제 버스 소유권을 가진 버스 마스터를 선택하기 위한 선택 신호를 받아서 상기 구동 정보에 대응하는 특정 슬레이브로 상기 기입 데이터를 출력하는 멀티플렉서를 더욱 포함한다.

<25> 상술한 목적을 달성하기 위한 본 발명의 다른 특징에 의하면, 시스템 버스와, 상기 시스템 버스에 연결되는 다수의 버스 마스터들과, 상기 시스템 버스에 연결되고, 상기 버스 마스터들과 데이터 통신을 수행하는 슬레이브들 및 상기 데이터 통신을 중재하기 위한 중재 회로를 구비하는 버스 시스템의 슬레이브 액세스를 위한 제어 방법은, 상기 버스 마스터들 중 적어도 하나의 버스 마스터로부터 버스 사용을 위한 요청이 있는지를 판별하는 단계와, 상기 판별 결과, 상기 요청이 있는 버스 마스터가 적어도 하나 있으면, 상기 요청이 있는 모든 버스 마스터들로 버스 사용을 승인하는 단계와, 상기 승인을 받은 버스 마스터들로부터 버스 사용을 위한

상기 슬레이브들의 구동 정보를 각각 출력하도록 하는 단계와, 상기 승인을 받은 버스 마스터 중에서 중재를 통해 하나의 버스 마스터를 선택하고 해당 슬레이브로 데이터 처리 준비 요구를 보내는 단계 및, 데이터 처리 준비가 끝난 슬레이브에 상기 요청을 보낸 버스 마스터들 중 버스 소유권을 가진 버스 마스터와, 상기 구동 정보에 대응하는 특정 슬레이브 간에 시스템 버스를 사용하도록 하는 단계를 포함한다.

<26> 이 특징의 바람직한 실시예에 있어서, 상기 시스템 버스를 사용하도록 하는 단계는, 상기 구동 정보에 대응되는 상기 특정 슬레이브가 데이터 액세스 가능하면, 상기 버스 소유권을 가진 버스 마스터로 버스 사용을 위한 활성화된 제어 신호를 출력하고, 동시에 상기 승인을 받은 버스 마스터들 중 나머지 버스 마스터들로 비활성화된 제어 신호를 출력한다. 그리고 상기 특정 슬레이브가 데이터 전송 준비가 완료되지 않았으면, 상기 특정 슬레이브가 데이터 액세스 가능할 때까지 상기 버스 소유권을 가진 버스 마스터로 상기 제어 신호를 비활성화시킨다. 이 때, 상기 슬레이브들 중 가장 최근에 액세스되었던 슬레이브에 대해서는 최하위 우선권을 부여하는 것이 바람직하다.

<27> 따라서 본 발명에 의하면, 버스 사용을 요청한 모든 버스 마스터로 하여금 버스 사용권을 얻은 것처럼 동작시켜서 필요한 구동 정보를 획득함으로써, 버스 시스템은 뱅크 인터리빙 방식으로 버스 마스터들과 슬레이브들 간의 최적화된 액세스가 되도록 중재하여 슬레이브 액세스 대역폭을 향상시킨다.

<28> 이하 본 발명의 실시예를 첨부된 도면에 의거하여 상세히 설명한다.

<29> 도 1은 본 발명에 따른 고속의 대역폭을 갖는 버스 시스템의 개략적인 구성을 도시한 블록도이다.

- <30> 도면을 참조하면, 상기 버스 시스템(10)은 고속의 대역폭을 갖는 시스템 버스(system bus)와, 시스템 버스에 연결되는 복수 개의 마스터들(2a ~ 2c)과 슬레이브들(4a ~ 4c) 및 중재 회로(Arbitration Circuit)(6)를 포함한다.
- <31> 상기 시스템 버스(System Bus)는 예컨대, AMBA(Advanced Microcontroller Bus Architecture) AHB(Advanced High-performance Bus) 규격의 기술적인 특징을 가지며, 다수의 버스 마스터들(2a ~ 2c)과 슬레이브들(4a ~ 4c) 및 중재 회로(6) 간의 상호 데이터 전송을 위한 어드레스(ADDR), 데이터(DATA) 및 제어(CONTROL) 정보를 전달한다.
- <32> 상기 버스 마스터들(2a ~ 2c)은 예를 들어, 중앙처리장치(CPU), 마이크로프로세서 및 마이크로컨트롤러 등으로 구비되며, 적어도 하나로부터 슬레이브 액세스를 위한 버스 사용을 요청하고, 버스 소유권이 획득되면, 해당 슬레이브를 액세스하기 위한 구동 정보 즉, 어드레스 및 제어 정보를 출력한다.
- <33> 상기 슬레이브들(4a ~ 4c)은 긴 대기 시간을 갖는 반도체 장치로서, 예를 들어, 싱크로너스 디램(SDRAM)과, SDRAM 컨트롤러 등으로 구비된다.
- <34> 그리고 상기 중재 회로(6)는 상기 버스 마스터들로부터 상기 슬레이브들(4a ~ 4c) 중 적어도 하나를 데이터 액세스하기 위해 버스 소유권을 갖는 버스 마스터로부터 어드레스 정보와 제어 정보(예를 들어, 기입/독출 명령, 버스트 동작, 데이터 크기 등)를 포함하는 구동 정보를 받아서 중재를 통해 하나의 버스 마스터를 선택하고, 해당 슬레이브로 데이터 처리 준비 요구를 보내어 해당 슬레이브를 데이터 액세스(기입 또는 독출)하도록 중재한다. 본 발명에 의하면, 상기 중재 회로(6)는 적어도 하나의 버스 마스터들(2a, 2b 또는 2c)로부터 버스 사용이 요청되면, 버스 사용을 요청한 버스 마스터들 모두에게 버스 사용을 인가하는 버스 소유권(bus ownership)을 얻었다고 여기도록 승인한다. 이어서 상기 중재 회로(6)는 버스 사용을 요청한

모든 버스 마스터들로부터 필요한 구동 정보 예를 들어, 어드레스 및 제어 정보를 받아들인다. 그리고 상기 중재 회로(6)는 중재를 통해 데이터 처리 분배 작업을 요청받은 해당 슬레이브의 액세스가 준비 완료되면, 실제 버스 소유권을 가진 버스 마스터와 해당 슬레이브 간의 데이터 액세스를 위하여 시스템 버스를 사용하도록 중재한다.

<35> 따라서 본 발명의 버스 시스템(10)은 적어도 하나의 버스 마스터(2a, 2b 또는 2c)로부터 버스 사용을 위한 요청 신호를 출력하면, 중재 회로(6)는 요청 신호를 출력한 모든 버스 마스터로 버스 소유권을 가진 것처럼 동작시켜서 중재에 필요한 슬레이브(4a, 4b 또는 4c)의 어드레스 및 제어 정보를 획득한다.

<36> 구체적으로 도 2는 본 발명의 실시예에 따른 버스 시스템의 구성을 도시한 블록도이다.

<37> 도면을 참조하면, 상기 버스 시스템(100)은 3 개의 버스 마스터들(110a ~ 110c)과, 싱크로너스 디램(SDRAM : 140)과 SDRAM 컨트롤러(130)로 구비되는 슬레이브와, 멀티플렉서(150) 및 중재기(arbiter : 120)를 포함한다. 그리고 중재기(120)는 버스 마스터들(110a ~ 110c) 및 SDRAM 컨트롤러(130)와 각각 인터페이스하기 위한 마스터 인터페이스(122) 및 SDRAM 컨트롤러 인터페이스(124)를 포함한다.

<38> 상기 버스 마스터들(110a ~ 110c)은 도 1에서와 같이, 중앙처리장치, 마이크

로컨트롤러 및 마이크로프로세서 등으로 구비되며, 각각의 버스 마스터들(110a, 110b 또는 110c)은 중재기(120)로 싱크로너스 디램(140)을 액세스하기 위한 요청 신호(HBUSREQ1, HBUSREQ2 또는 HBUSREQ3)를 출력한다. 각 버스 마스터(110a, 110b 또는 110c)는 자신의 요청 신호(HBUSREQ1, HBUSREQ2 또는 HBUSREQ3)에 응답해서 상기 중재기(120)로부터 승인 신호(HGRANT1, HGRANT2 또는 HGRANT3)가 입력되면, 버스 소유권을 가진 것으로 판단하여 싱크로너스 디램(140)을 액세스하기 위한 구동 정보 즉, 어드레스 정보(HADDR1 ~ HADDR3)와 제어 정보(HBURST1 ~ HBURST3, HWRITE1 ~ HWRITE3)를 중재기(120)로 출력한다.

- <39> 상기 슬래이브(130, 140)는 예컨대, 긴 대기 시간을 갖는 반도체 장치로서, 싱크로너스 디램(SDRAM)(140)과 SDRAM 컨트롤러(130)로 구비된다. 상기 버스 마스터들(110a ~ 110c)로부터의 슬래이브 액세스시, 상기 슬래이브(130, 140)는 뱅크 인터리빙 방식으로 액세스된다.
- <40> 구체적으로, 상기 싱크로너스 디램(140)은 복수 개의 뱅크(bank)들(예를 들어, 2 개 또는 4 개 등)(142a ~ 142d)를 구비한다. 그리고 상기 싱크로너스 디램(140)은 상기 SDRAM 컨트롤러(130)로부터 어드레스(ADDR) 및 제어 정보(NDCS, NRAS, NCAS, NDWE, BA 등)를 받아서 데이터(DATA)를 기입 또는 독출된다. 상기 뱅크들(142a ~ 142d)은 뱅크 인터리빙 방식에 의해 동일 또는 서로 다른 뱅크로 액세스된다. 여기서 제어 정보 중 NDCS 신호는 칩 선택 신호이며, NRAS 신호는 로우 어드레스 스트로브 신호이며, NCAS 신호는 컬럼 어드레스 스트로브 신호 그리고 NDWE 신호는 기입 명령 신호이다. 이들 신호들(NDCS, NRAS, NCAS, NDWE)은 로우 레벨에서 활성화된다. 그리고 BA 신호는 뱅크 어드레스 신호이다.
- <41> 상기 SDRAM 컨트롤러(130)는 중재기(120)의 SDRAM 컨트롤러 인터페이스(124)를 통하여 출력된 요청 신호(BIREQD)에 응답해서 요청 신호를 잘 받았다는 응답 신호(BICONFIRMD)를 출력하며 싱크로너스 디램(140)의 해당 뱅크가 액세스 준비 완료된 상태인지를 나타내는 준비

신호(BIREADYD)를 출력하고, 상기 중재기(120)로부터 상기 구동 정보에 대응하는 어드레스 정보(BIADDR) 및 제어 정보(BIBA, BIBE, BIRCONT, BICCONT)를 받아서 상기 싱크로너스 디램(140)을 액세스하도록 제어한다. 이 때, 상기 SDRAM 컨트롤러(130)는 상기 싱크로너스 디램(140)을 뱅크 인터리빙 방식으로 액세스한다.

<42> 또한, 상기 SDRAM 컨트롤러(130)는 상기 버스 마스터들(110a ~ 110c)로부터 독출 동작을 위한 어드레스(BIADDR) 및 제어 정보(BIBA, BIBE, BIRCONT, BICCONT)가 입력되면, 이에 응답해서 상기 싱크로너스 디램(140)의 해당 뱅크(142a, 142b, 142c 또는 142d)로부터 데이터(DATA)를 독출하여 해당 버스 마스터(110a, 110b 또는 110c)로 독출 데이터(BIRDATA : HRDATA1, HRDATA2 또는 HRDATA3)를 출력한다.

<43> 상기 중재기(140)는 마스터 인터페이스(122)를 통하여 버스 마스터들(110a ~ 110c)과 어드레스 및 제어 신호 전송을 수행하며, 또한 SDRAM 컨트롤러 인터페이스(124)를 통하여 상기 SDRAM 컨트롤러(120)와 준비 신호(BIREADYD), 어드레스 정보(BIADDR) 및 요청 신호(BIREQD) 등 데이터 전송을 위한 제어 정보를 전송한다.

<44> 구체적으로, 상기 중재기(120)는 상기 버스 마스터들(110a ~ 110c) 중 적어도 하나로부터 버스 사용(bus transfer)을 위한 요청 신호(HBUSREQ1, HBUSREQ2 또는 HBUSREQ3)를 받아서 요청한 버스 마스터들 모두에게 버스 사용을 허가하는 승인 신호(HGRANT1 ~ HGRANT3)를 출력한다. 이어서 상기 중재기(120)는 요청한 버스 마스터들로부터 승인 신호(HGRANT1 ~ HGRANT3)에 응답해서 출력된 싱크로너스 디램(140)과의 데이터 액세스를 위한 구동 정보(HADDRx, HBURSTx, HWRITEx)를 받아들이고, 싱크로너스 디램의 각 뱅크별 상태 정보와 상기 구동 정보를 통해서 상기 승인된 버스 마스터들 사이에 중재를 하여 하나의 마스터를 선택하여 데이터 처리 준비 요구(BIREQD)를 싱크로너스 디램 컨트롤러에 보낸다. 해당 뱅크가 액세스 준비가 완

료되면, 상기 요청한 버스 마스터들 중 버스 소유권(bus ownership)이 있는 상기 버스 마스터에게 시스템 버스를 사용하도록 준비 신호(HREADY1, HREADY2 또는 HREADY3)를 출력하여 실제 버스 소유권이 있는 버스 마스터와 해당 बैं크 간에 데이터 전송이 이루어지도록 중재한다.

<45> 상기 중재기(120)는 상기 구동 정보에 대응하는 특정 슬레이브로부터 버스 소유권이 있는 버스 마스터로 활성화된 제어 신호 즉, 하이(HIGH) 레벨의 준비 신호(HREADY1, HREADY2 또는 HREADY3)를 출력한다. 동시에 상기 중재기(140)는 나머지 요청한 버스 마스터들로 로우(LOW) 레벨의 비활성화된 제어 신호를 출력한다.

<46> 뿐만 아니라, 상기 중재기(120)는 상기 구동 정보에 대응되는 특정 슬레이브가 데이터 전송 준비가 완료되지 않았으면, 상기 특정 슬레이브가 데이터 액세스 가능할 때까지 상기 버스 소유권을 가진 버스 마스터와 버스 사용을 요청한 나머지 슬레이브 모두에게 버스 사용을 비활성화시킨다.

<47> 상기 승인 신호(HGRANT)는 다수의 버스 마스터들을 구비하는 버스 시스템(100)에서 버스 사용을 중재하기 위해 현재 어떤 버스 마스터가 버스 소유권을 가지고 있다는 것을 판별하기 위하여 필요하다. 또한 승인 신호(HGRANT)를 얻은 버스 마스터가 데이터 전송을 수행할 때, 슬레이브 또는 시스템 버스의 동작 상태에 따라 데이터 전송 사이클이 확장(extension)될 수 있다.

<48> 그리고 준비 신호(HREADY)는 데이터 전송 사이클의 확장(extension)에 관여되는 신호로, 본 발명에서는 버스 사용을 요청한 모든 버스 마스터들에게 중재를 수행하기 전에 승인 신호(HGRANT)를 출력하고, 이에 응답해서 모든 버스 마스터들로부터 전송된 구동 정보를 받은 후, 활성화된 준비 신호(HREADY)를 해당 버스 마스터로 출력하여 데이터 전송을 중재한다. 따라서 슬레이브가 액세스 준비가 완료되지 않게 되면, 준비 신호가 활성화될 때까지 만큼 데이터 전



송 사이클이 증가하는 문제점을 해결하기 위해 중재기는 구동 정보가 입력되면, 이에 대응되는 다른 슬레이브를 액세스할 수 있도록 미리 새로운 데이터 처리 준비 작업 요청을 보낼 수 있다.

<49> 또한, 상기 중재기(140)는 구동 정보(어드레스 및 제어 신호)를 획득하여 가장 최근에 사용되었던 싱크로너스 디램(140)의 해당 뱅크에 대한 데이터 액세스에 대하여 버스 사용시, 최하위 우선권을 부여하여 뱅크 인터리빙 방식을 최적화한다. 이는 현재 액세스되는 뱅크가 아닌 다른 뱅크를 액세스하려는 경우를 먼저 처리하면, 대역폭을 향상시킬 수 있기 때문에 동일한 뱅크에 대한 데이터 액세스 시에는 버스 사용을 최하위 우선권으로 할당하여 처리하는 것이 바람직하다. 또한, 뱅크 인터리빙 방식은 동일한 뱅크에 대해서 액세스할 때 발생하는 제약 사항이 다른 뱅크에 대한 액세스 시에는 적용되지 않기 때문에 뱅크의 우선권을 조절하여 시스템 버스의 액세스 대역폭을 최적화할 수 있다. 물론, 중재기(120)는 뱅크 간의 라운드 로빈 방식 등을 이용하여 중재를 최적화할 수도 있다. 그리고 어떤 뱅크에 대한 액세스가 최상위 우선권을 갖는지가 결정되면, 그 뱅크에 대한 여러 버스 마스터들로부터의 액세스 중에서 어떤 것을 선택할 것인지에도 다양한 중재 방식을 사용할 수 있는 것은 자명한 일이다.

<50> 따라서 본 발명의 버스 시스템(100)은 슬레이브(130, 140)에 대한 데이터 액세스가 하나의 뱅크에 집중되지 않고 충분히 분산되어 있다고 가정하면, 위와 같은 특징을 이용하여 슬레이브의 액세스 대역폭을 최대화할 수 있다.

<51> 그리고 상기 멀티플렉서(150)는 상기 중재기(120)로부터 실제 버스 소유권을 가진 버스 마스터를 선택하기 위한 선택 신호(HMASTER)를 받아서 상기 버스 마스터(110a ~ 110c)들로부터 출력된 기입 데이터(HWDATA1, HWDATA2 또는 HWDATA3)를 선택하여 상기 SDRAM 컨트롤러(130)로 기입 데이터(BIWDATA)를 출력한다.



<52> 상술한 바와 같이, 일반적인 버스 시스템에서는 슬레이브 액세스시, 적어도 하나의 버스 마스터가 버스 사용을 요청하여 버스 소유권을 획득하고, 버스 소유권을 가진 버스 마스터로부터 제공된 구동 정보에 의해서 액세스될 슬레이브가 결정되어 버스 사용이 가능하게 된다. 그러나 본 발명의 버스 시스템은 다수의 버스 마스터와 슬레이브들 간의 데이터 액세스시, 실제 데이터가 전송되는 버스 소유권을 얻기 전에 버스 사용을 요청한 모든 버스 마스터들에게 버스 사용을 승인하고, 각각의 버스 마스터들로부터 액세스될 슬레이브의 구동 정보를 받아서 미리 해당 슬레이브의 액세스를 위한 준비 작업을 수행한다. 액세스 준비 작업이 완료되면, 모든 버스 마스터들 중 실제 버스 소유권을 가진 버스 마스터에게 시스템 버스를 사용하도록 제어한다. 따라서 실제 버스 소유권을 가진 버스 마스터는 해당 슬레이브의 액세스 준비가 완료되면 시스템 버스를 사용함으로써, 슬레이브 액세스 대역폭을 최대로 향상시킬 수 있다.

<53> 도 3은 도 2에 도시된 버스 시스템의 독출 동작을 나타내는 타이밍도이다. 여기서는 2개의 버스 마스터들을 이용하여 독출 동작에 따른 액세스를 설명한다.

<54> 도면을 참조하면, 상기 버스 시스템(100)은 시스템 버스의 클럭 신호(HCLK)에 동기되어 처리된다.

<55> 상기 버스 시스템(100)은 제 1 및 제 2 버스 마스터들로부터 버스 사용을 위한 제 1 및 제 2 요청 신호(HBUSREQ1, HBUSREQ2)가 발생되면, 중재기(120)는 제 1 및 제 2 요청 신호(HBUSREQ1, HBUSREQ2)를 출력한 제 1 및 제 2 버스 마스터들에게 각각 제 1 및 제 2 승인 신호(HGRANT1, HGRANT2)를 동시에 출력한다.

<56> 제 1 및 제 2 버스 마스터는 제 1 및 제 2 승인 신호(HGRANT1, HGRANT2)에 응답해서 각각 자신이 버스 소유권을 가진 것으로 판단하여 구동 정보인 제 1 및 제 2 어드레스 정보(HADDR1, HADDR2)를 출력한다.

- <57> 만약 제 1 버스 마스터가 실제 버스 소유권을 가지고 있다면, 제 1 버스 마스터는 제 1 어드레스 정보(HADDR1)에 대응되는 싱크로너스 디램의 해당 뱅크를 데이터(HRDATA) 독출한다.
- <58> 이 때, 상기 중재기(120)는 싱크로너스의 해당 뱅크로부터 데이터 독출이 가능하도록 준비될 때까지 로우 레벨의 제 1 준비 신호(HREADY1)를 제 1 버스 마스터로 출력한다. 계속해서 제 1 버스 마스터로부터 제 1 어드레스 정보(HADDR1)가 출력되고, 해당 뱅크가 독출 가능한 상태이면, 중재기(120)는 하이 레벨의 제 1 준비 신호(HREADY1)를 출력하여 제 1 어드레스 정보(HADDR1)에 대응하는 뱅크로부터 데이터(HRDATA)를 독출한다.
- <59> 따라서 제 1 준비 신호(HREADY1)가 활성화되었을 때 제 1 버스 마스터는 해당 뱅크를 액세스하고, 제 1 버스 마스터의 구동 정보가 전송 완료된 시점에서 제 2 버스 마스터를 위한 제 2 준비 신호(HREADY2)는 하이 레벨로 활성화되어 싱크로너스 디램의 해당 뱅크를 액세스한다.
- <60> 도 4는 싱크로너스 디램 독출시, 뱅크 인터리빙 방식을 사용하지 않는 경우와, 본 발명의 실시예에 따른 뱅크 인터리빙 방식을 사용하는 경우를 비교하기 위한 타이밍도이다. 도 4a는 SDRAM 컨트롤러와 싱크로너스 디램 간에 뱅크 인터리빙 방식을 이용하지 않는 경우를 나타내며, 도 4b는 본 발명의 실시예에 따른 뱅크 인터리빙 방식을 이용하는 경우를 나타낸 것이다. 여기서 싱크로너스 디램은 각 뱅크마다 액세스시 래스, 캐스 및 프리차지 동작이 순차적으로 이루어진다.
- <61> 도 4a를 참조하면, 싱크로너스 디램은 버스 시스템의 클럭 신호(CLK)에 동기시켜 칩 선택 신호(NDCS)와 RAS 신호(NRAS)가 활성화되고, 뱅크 어드레스(BA=0)와 로우 어드레스(ROW ADDR)가 입력될 때, 뱅크(BA=0)에 대한 독출 RAS 동작이 수행된다. 이어서 칩 선택 신호(NDCS), CAS 신호(NCAS)가 활성화되고, 뱅크 어드레스(BA=0)와 컬럼 어드레스(CO ADDR)가 입력

될 때, 뱅크(BA=0)에 대한 독출 CAS 동작이 수행된다. 이어서 수 클럭 사이클 타임 후에 뱅크(BA=0)의 데이터가 액세스되면서 프리차지 명령(PRE0)에 의해 프리차지 동작이 수행된다.

<62> 이어서 제 2 뱅크의 액세스를 위한 RAS, CAS 및 프리차지 동작이 순차적으로 이루어진다. 따라서 도 4a에 도시된 바와 같이, 서로 다른 뱅크들의 데이터 액세스 구간 사이에 적정의 대기 시간이 발생하게 된다.

<63> 그러나 도 4b를 참조하면, 본 발명에 의하여 싱크로너스 디램은 뱅크 인터리빙 동작이 이루어져서 제 1 뱅크가 액세스되는 도중에 제 2 뱅크 및 제 3 뱅크의 독출 어드레스가 입력되고, 독출 동작이 완료되기 전에 프리차지 동작이 수행된다.

<64> 따라서 본 발명에 따른 뱅크 인터리빙 방식에 의한 데이터 액세스(기입/독출)시 각 뱅크에 대한 연속적인 어드레스 정보를 지정하고, 이를 순차적으로 처리함으로써, 슬레이브의 액세스 대역폭이 증가한다.

<65> 도 5 및 도 6는 본 발명에 따른 버스 시스템의 슬레이브를 액세스하기 위한 제어 수순을 도시한 흐름도이다. 도 5는 본 발명에 따른 버스 사용을 요청한 적어도 하나의 버스 마스터의 슬레이브 액세스를 위한 준비 동작을 나타내며, 도 6은 본 발명에 따라 데이터 처리 준비 요구를 수신한 이 후의 동작 상태를 나타낸다. 특히, 상기 슬레이브들은 긴 대기 시간을 갖는 반도체 디바이스(예를 들어, SDRAM 및 SDRAM 컨트롤러)의 액세스 동작시 뱅크 인터리빙 방식을 이용하여 처리된다.

<66> 도 5를 참조하면, 단계 S200에서 상기 중재기(140)는 적어도 하나의 버스 마스터들로부터 버스 사용을 위한 요청 신호(HBUSREQ)가 출력되면, 단계 S202에서 요청이 있는 모든 버스 마스터들로 버스 사용을 부여하는 승인 신호(HGRANT)를 출력한다.

- <67> 단계 S204에서 중재기(140)는 승인 신호(HGRANT)를 받은 모든 버스 마스터들로부터 버스 사용을 위한 구동 정보를 받아들인다. 이 때 구동 정보는 슬레이브로/로부터 데이터를 기입/독출하기 위한 어드레스 정보와 제어 정보(예를 들어, 동작 모드에 따른 제어 정보, 데이터 크기 등)를 포함한다.
- <68> 이어서 단계 S206에서 상기 승인된 버스 마스터들이 액세스하고자 하는 슬레이브들의 상태 정보와 상기 구동 정보를 사용하여 하나의 버스 마스터를 선정하는 중재 작업을 수행하고, 해당 슬레이브로 데이터 처리 준비 작업 요구를 내보낸다.
- <69> 상술한 바에 의하면, 본 발명은 버스 사용 요청이 있는 모든 버스 마스터들로 승인 신호를 출력하고, 이에 응답해서 버스 마스터들은 슬레이브 액세스를 위한 구동 정보를 출력한다. 뿐만 아니라, 중간에 구동 정보에 대응하는 슬레이브와 미리 소유권을 가진 마스터와의 데이터 전송이 되더라도 다른 마스터들로부터 구동 정보를 수신 및 해당 슬레이브로 데이터 처리 준비 작업 요청을 내보낼 수 있다. 그 결과, 시스템 버스가 다른 버스 마스터의 데이터 전송으로 인하여 현재 사용 불가능할지라도 요청이 있는 모든 마스터들로부터 구동 정보를 수신함으로써, 버스 사용을 요청한 버스 마스터들은 데이터 액세스가 필요한 경우, 구동 정보에 대응하는 슬레이브에 대해 데이터 처리 준비 작업 요청을 보낼 수 있다. 따라서 슬레이브의 구동 시점을 미리 중재하여 슬레이브 액세스 대역폭을 최대화할 수 있다.
- <70> 계속해서 도 6을 참조하면, 단계 S210에서 상기 중재기(120)는 이전에 데이터 처리 준비 작업이 요청된 슬레이브가 데이터 전송이 가능한지를 판별한다. 이는 상기 중재기(120)가 슬레이브(SDRAM 컨트롤러 : 130)로부터 준비 신호(BIREADYD)를 받아서 데이터 전송 가능한 상태 인지를 판별한다.

- <71> 판별 결과, 슬레이브가 액세스 준비 완료 상태이면 단계 S212에서 상기 중재기(120)는 실제로 데이터 통신을 위한 버스 마스터가 어느 것인지를 판별한다. 즉, 액세스 준비 완료된 슬레이브와 상기 슬레이브로 데이터 처리 준비 작업 요청을 보낸 버스 마스터가 상호 데이터 전송을 위한 버스 소유권을 가지고 있는지를 판별한다. 판별 결과, 버스 소유권을 가진 버스 마스터가 있으면, 이 수순은 단계 S214로 진행하여 상기 중재기(120)는 버스 소유권을 가지며 이전에 상기 슬레이브에 데이터 처리 준비 작업 요청을 보냈던 버스 마스터로 하이 레벨의 준비 신호(HREADY)를 전송하고, 동시에 나머지 버스 마스터들로는 로우 레벨의 준비 신호(HREADY)를 전송한다.
- <72> 이어서 단계 S216에서 버스 소유권을 가진 버스 마스터와 액세스 준비 완료된 슬레이브 간에 데이터 전송을 수행하도록 중재한다.
- <73> 상술한 바와 같이, 본 발명의 버스 시스템은 버스 사용을 요청한 다수의 버스 마스터들로 버스 소유권을 가진 것처럼 승인 신호를 인가하여 슬레이브 액세스를 위한 구동 정보를 획득하고, 실제 버스 소유권을 가진 버스 마스터가 해당 슬레이브를 액세스하도록 중재함으로써, 버스 마스터와 슬레이브 간의 액세스 대역폭을 향상시킬 수 있다.
- <74> 그 결과, 도 7에 도시된 바와 같이, 일반적인 버스 시스템의 슬레이브 액세스 동작(a)과 본 발명의 버스 시스템(100)의 액세스 동작(b)을 비교하면, 시스템 버스의 데이터 전송시 Δt 만큼 슬레이브 액세스 대역폭이 향상됨을 알 수 있다.

【발명의 효과】

- <75> 상술한 바와 같이, 본 발명의 버스 시스템은 버스 사용 요청이 있는 모든 버스 마스터들에게 버스 사용권을 얻은 것처럼 동작시켜서 필요한 구동 정보를 획득함으로써, 최적화된 액세스가 되도록 중재하여 슬레이브 액세스 대역폭을 향상시킨다.
- <76> 또한, 긴 대기 시간을 갖는 싱크로너스 디램의 액세스시, 버스 사용 요청이 있는 모든 버스 마스터들에게 버스 사용권을 얻은 것처럼 동작시켜서 필요한 구동 정보를 획득하고, 뱅크 인터리빙 방식을 이용하여 싱크로너스 디램의 액세스 대역폭을 최적화할 수 있다.



【특허청구범위】

【청구항 1】

버스 시스템에 있어서:

시스템 버스와;

상기 시스템 버스에 연결되는 다수의 버스 마스터들과;

상기 시스템 버스에 연결되고, 상기 버스 마스터들과 데이터 전송을 수행하는 슬레이브들 및;

상기 버스 마스터들 중 적어도 하나로부터 상기 슬레이브들 중 어느 하나를 액세스하기 위한 버스 사용(bus transfer)의 요청(request)이 있으면, 상기 요청한 버스 마스터들 모두에게 버스 사용을 승인(grant)하여 상기 요청한 버스 마스터들 모두로부터 상기 슬레이브들과의 데이터 전송을 위한 구동 정보를 출력하도록 하는 중재기를 포함하되,

상기 중재기는 상기 요청한 버스 마스터들로부터 상기 구동 정보가 출력되면, 상기 구동 정보와 슬레이브 상태 정보를 사용한 중재를 통하여 선택된 슬레이브로 준비 작업 요청을 보내고, 슬레이브가 데이터 처리 준비된 경우 상기 준비 작업 요청한 버스 마스터들 중 실제 버스 소유권(bus ownership)을 가진 버스 마스터에게 상기 시스템 버스를 사용하도록 하는 것을 특징으로 하는 버스 시스템.

【청구항 2】

제 1 항에 있어서,

상기 슬레이브는 긴 대기 시간(long latency time)을 갖는 반도체 디바이스인 것을 특징으로 하는 버스 시스템.



【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 슬레이브는,

복수 개의 뱅크를 갖는 싱크로너스 디램과,

상기 중재기의 제어를 받아서 상기 싱크로너스 디램의 데이터 액세스를 제어하는 싱크로너스 디램 컨트롤러를 포함하되,

상기 싱크로너스 디램 컨트롤러는 뱅크 인터리빙 방식에 의해 상기 싱크로너스 디램을 데이터 액세스하는 것을 특징으로 하는 버스 시스템.

【청구항 4】

제 3 항에 있어서,

상기 중재기는;

상기 싱크로너스 디램의 각 뱅크의 상태 정보를 사용하여 현재 사용 가능한 뱅크들에 대해서만 중재를 실시하는 것을 특징으로 하는 버스 시스템.

【청구항 5】

제 3 항에 있어서,

상기 중재기는;

상기 싱크로너스 디램들 중 가장 최근에 액세스되었던 뱅크에 대해서 최하위 우선권을 부여하는 것을 특징으로 하는 버스 시스템.

【청구항 6】

제 1 항에 있어서,



상기 중재기는;

상기 준비 작업 요청된 슬레이브가 데이터 처리 준비 완료 상태가 되면, 상기 준비 작업을 요청했던 버스 마스터들 중 상기 실제 버스 소유권을 갖는 버스 마스터로 상기 시스템 버스를 사용하도록 활성화된 제어 신호를 출력하고,

동시에 상기 실제 소유권을 갖지 않은 버스 마스터들로 비활성화된 제어 신호를 출력하는 것을 특징으로 하는 버스 시스템.

【청구항 7】

제 1 항에 있어서,

상기 구동 정보는 상기 슬레이브들 중 어느 하나를 액세스하기 위한 어드레스 정보, 데이터 및 제어 신호를 포함하는 것을 특징으로 하는 버스 시스템.

【청구항 8】

제 1 항에 있어서,

상기 버스 시스템은;

상기 버스 마스터들로부터 출력된 기입 데이터와, 상기 중재기로부터 출력된 상기 버스 마스터들 중 실제 버스 소유권을 가진 버스 마스터를 선택하기 위한 선택 신호를 받아서 상기 구동 정보에 대응하는 특정 슬레이브로 상기 기입 데이터를 출력하는 멀티플렉서를 더욱 포함하는 것을 특징으로 하는 버스 시스템.

【청구항 9】

제 1 항에 있어서,

상기 중재기는;

상기 구동 정보를 받아들이어서 상기 슬레이브들 중 상기 구동 정보에 대응하는 특정 슬레이브가 데이터 전송 준비가 완료되었는지를 판별하여, 상기 요청한 버스 마스터들 중 버스 소유권(bus ownership)이 있는 버스 마스터에게 상기 시스템 버스를 사용하도록 하는 것을 특징으로 하는 버스 시스템.

【청구항 10】

시스템 버스와, 상기 시스템 버스에 연결되는 다수의 버스 마스터들과, 상기 시스템 버스에 연결되고, 상기 버스 마스터들과 데이터 통신을 수행하는 슬레이브들 및 상기 데이터 통신을 중재하기 위한 중재 회로를 구비하는 버스 시스템의 슬레이브 액세스를 위한 제어 방법에 있어서:

상기 버스 마스터들 중 적어도 하나의 버스 마스터로부터 버스 사용을 위한 요청이 있는지를 판별하는 단계와;

상기 판별 결과, 상기 요청이 있는 버스 마스터가 적어도 하나 있으면, 상기 요청이 있는 모든 버스 마스터들로 버스 사용을 승인하는 단계와;

상기 승인을 받은 버스 마스터들로부터 버스 사용을 위한 상기 슬레이브들의 구동 정보를 각각 출력하도록 하는 단계와;

상기 구동 정보와 상기 슬레이브 상태 정보를 사용한 중재를 통해 해당 슬레이브로 데이터 처리 준비 작업을 요청하는 단계 및;

상기 준비 작업 완료된 슬레이브들에 요청을 보낸 버스 마스터들 중 버스 소유권을 가진 버스 마스터와, 상기 구동 정보에 대응하는 특정 슬레이브 간에 시스템 버스를 사용하도록 하는 단계를 포함하는 것을 특징으로 하는 버스 시스템의 제어 방법.

【청구항 11】

제 10 항에 있어서,

상기 시스템 버스를 사용하도록 하는 단계는;

상기 구동 정보에 대응되는 상기 특정 슬레이브가 데이터 액세스 준비가 완료되면,

상기 버스 소유권을 가진 버스 마스터로 버스 사용을 위한 활성화된 제어 신호를 출력하고, 동시에 상기 승인을 받은 버스 마스터들 중 나머지 버스 마스터들로 비활성화된 제어 신호를 출력하는 것을 특징으로 하는 버스 시스템의 제어 방법.

【청구항 12】

제 10 항 또는 제 11 항에 있어서,

상기 시스템 버스를 사용하도록 하는 단계는;

상기 특정 슬레이브가 데이터 전송 준비가 완료되지 않았으면, 상기 특정 슬레이브가 데이터 액세스 가능할 때까지 상기 버스 소유권을 가진 버스 마스터로 상기 제어 신호를 비활성화시키는 것을 특징으로 하는 버스 시스템의 제어 방법.

【청구항 13】

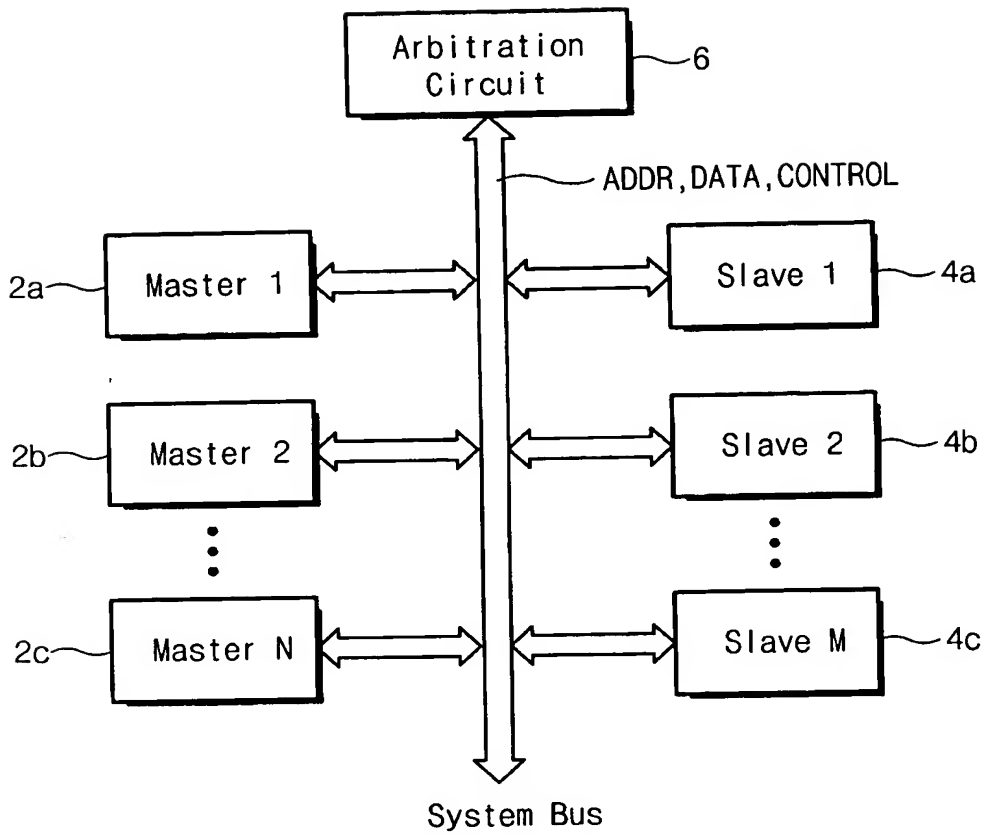
제 10 항에 있어서,

상기 시스템 버스를 사용하도록 하는 단계는;

상기 슬레이브들 중 가장 최근에 액세스되었던 슬레이브에 대해서는 최하위 우선권을 부여하는 것을 특징으로 하는 버스 시스템의 제어 방법.

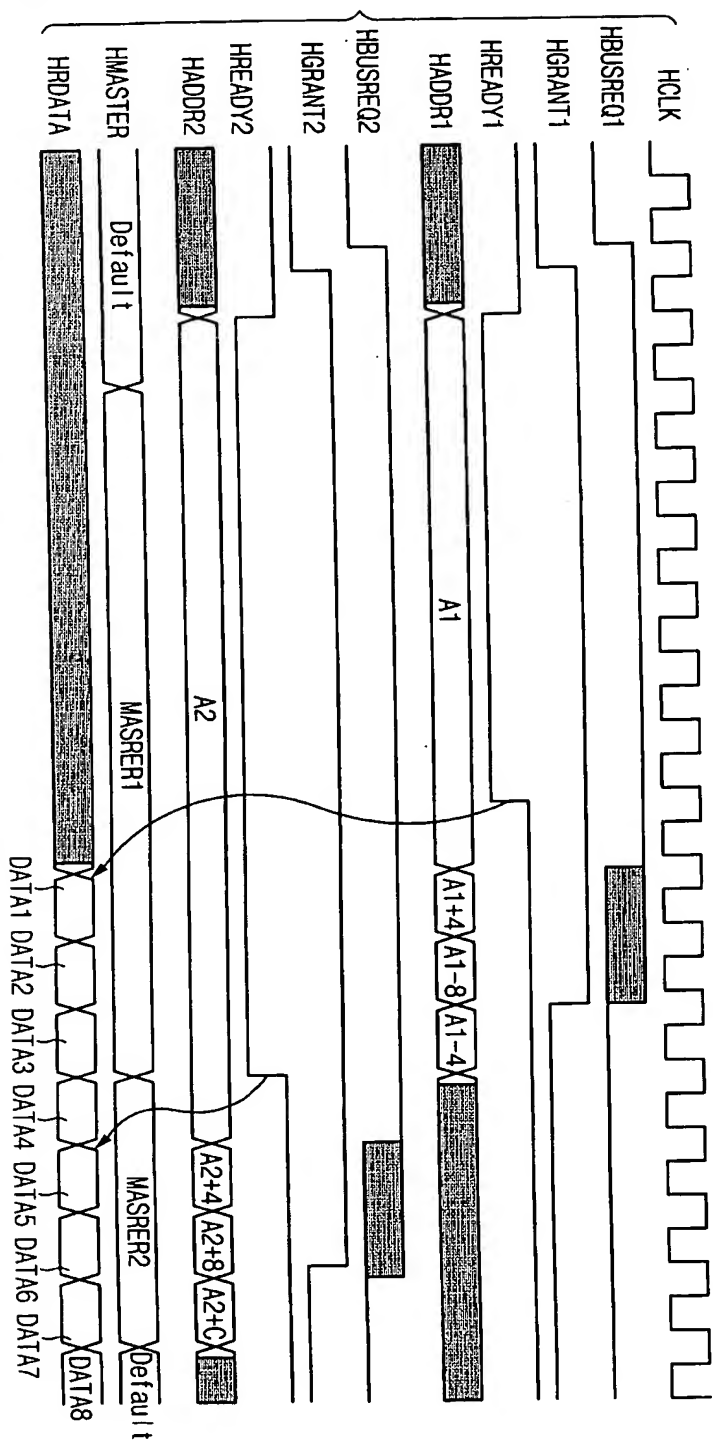
【도면】

【도 1】

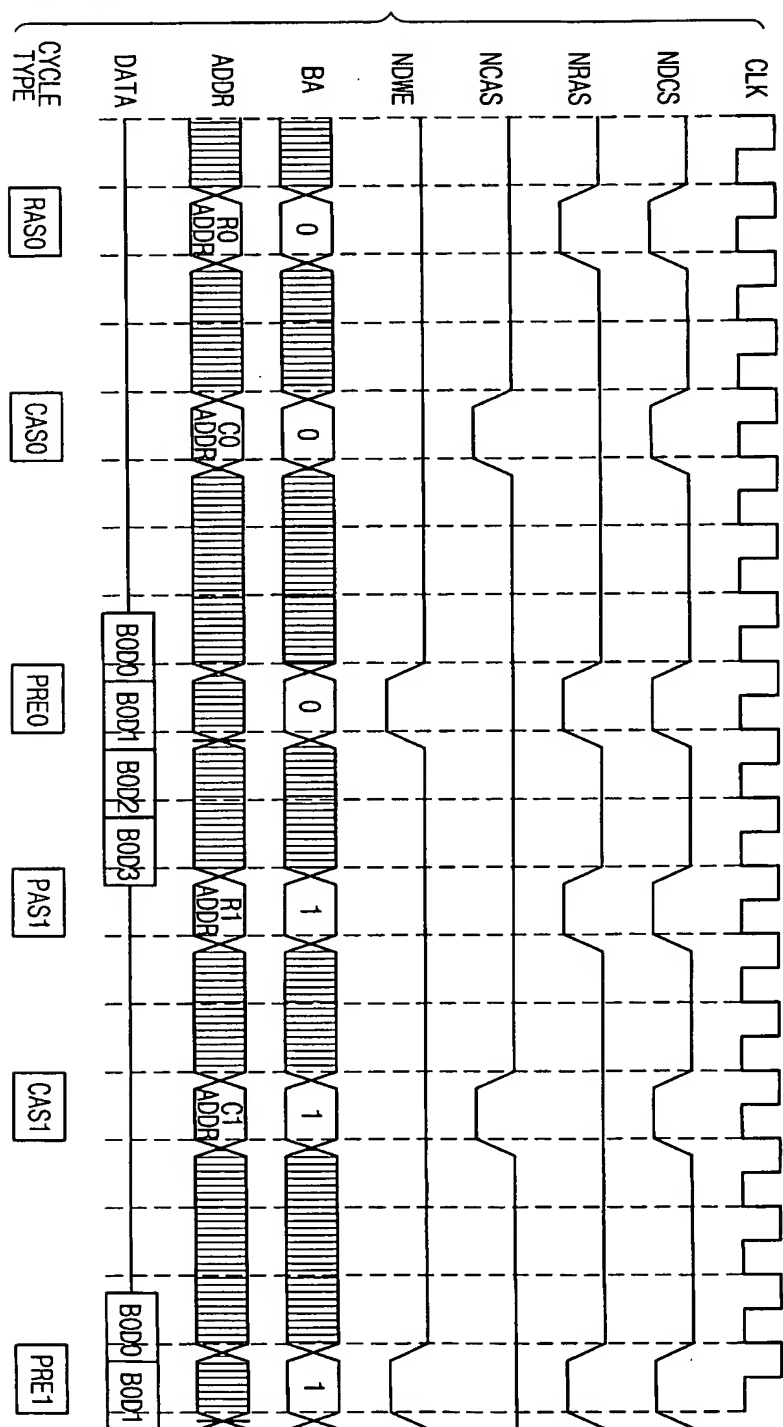
10

The diagram illustrates a multi-master system architecture. On the left, three master devices (Master 1, Master 2, Master 3) are shown. Each master has its own set of request and grant signals (e.g., HREQUEST1, HGRANT1 for Master 1). These masters connect to a central arbitration unit (120) which contains an Arbitrer (122) and an SDRAM Controller interface (124). The arbitration unit also receives external requests (HREQUEST1-3) and grants (HGRANT1-3). The output of the arbitration unit is connected to an SDRAM controller (130), which manages the SDRAM (140). The SDRAM consists of four banks (Bank0, Bank1, Bank2, Bank3) and provides data (DATA) back to the SDRAM controller. A multiplexer (MUX, 150) combines the data from the SDRAM controller into a single output stream (BIWDATA).

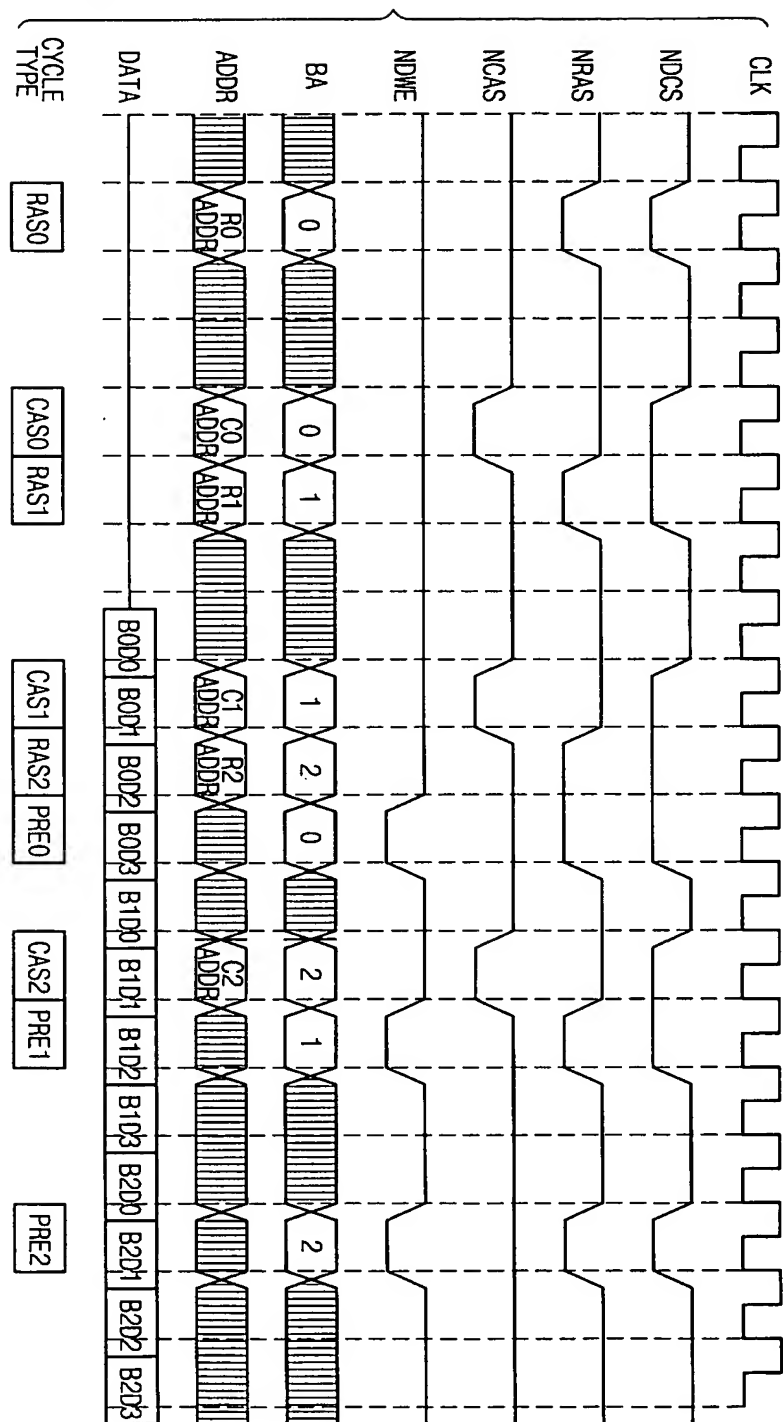
【도 3】



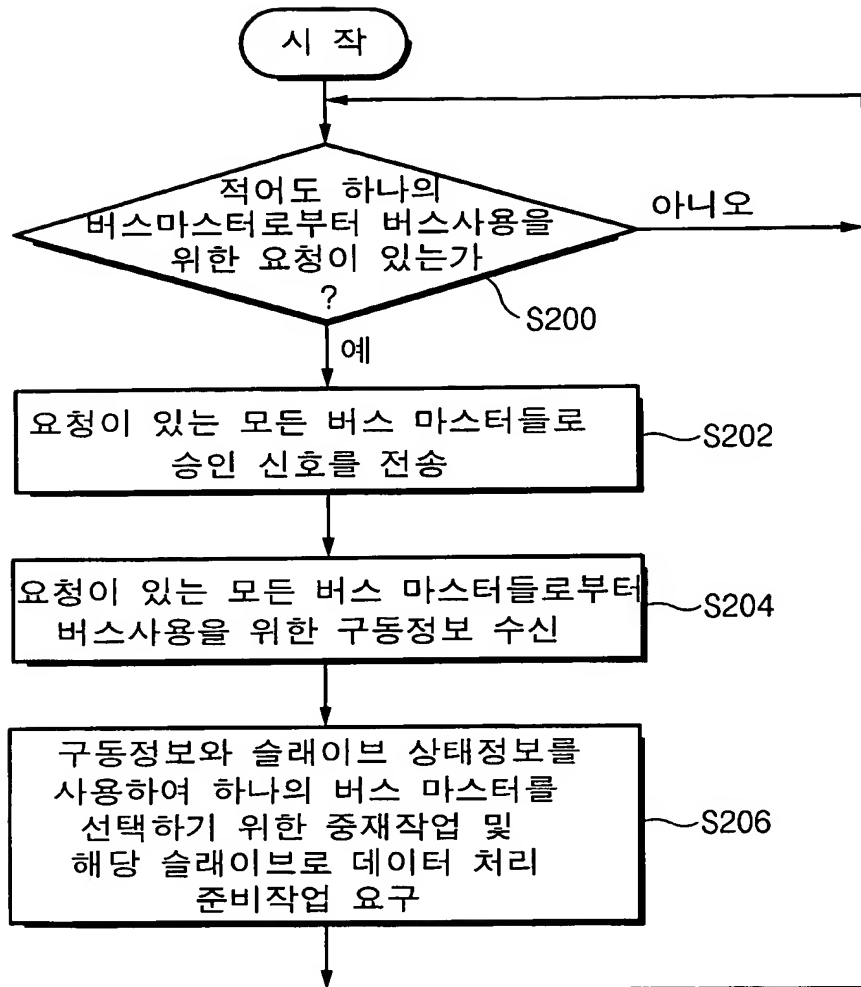
【표 4a】



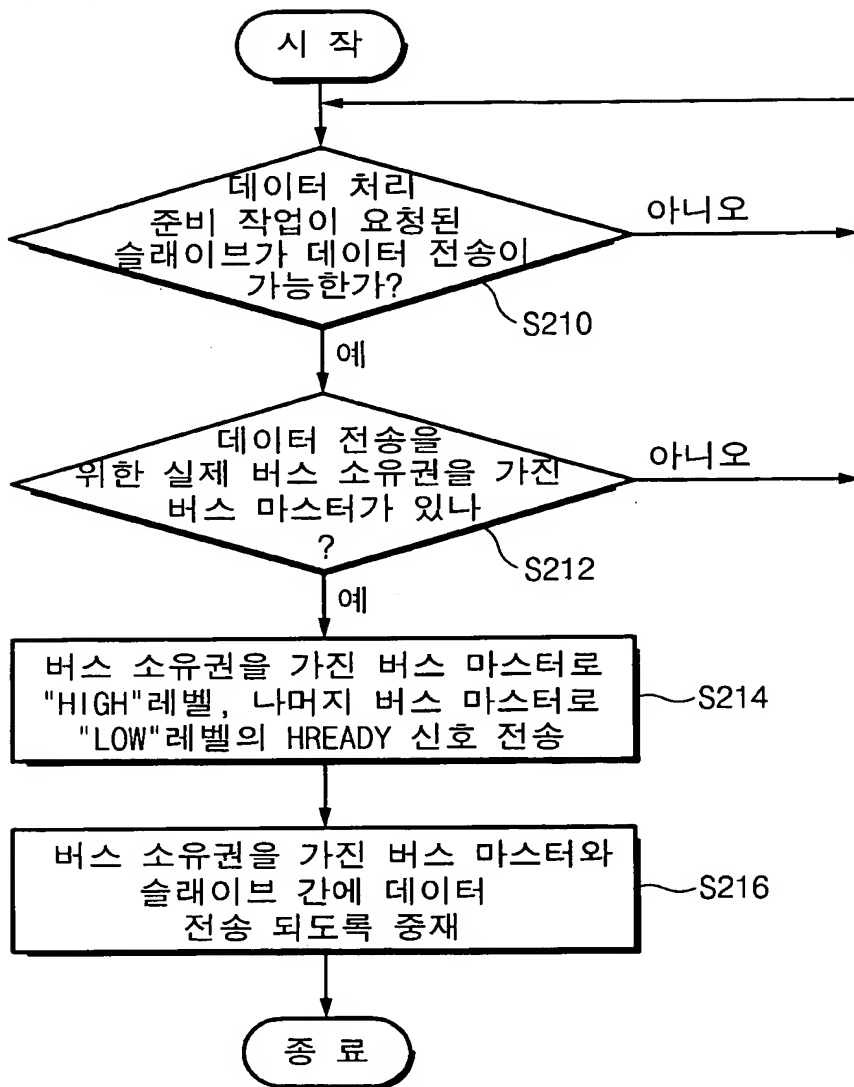
【H 4b】



【도 5】



【도 6】



【도 7】

